

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-049296

(43)Date of publication of application : 18.02.2000

(51)Int.Cl.

H01L 27/08

H01L 21/76

(21)Application number : 10-212715

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 28.07.1998

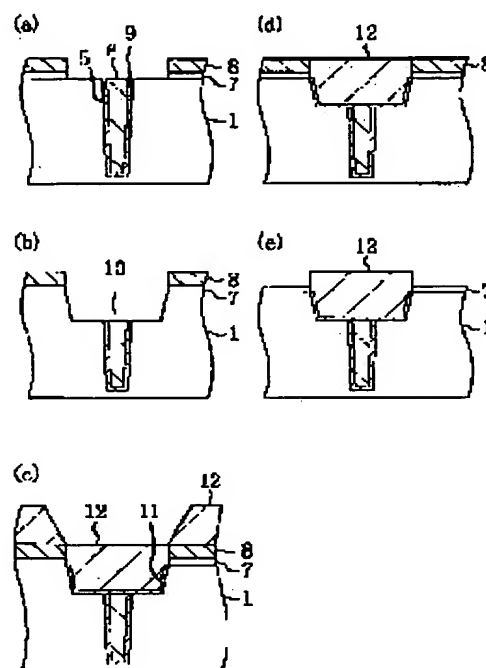
(72)Inventor : SONAMI TAKAHARU  
SAWADA SHIGEKI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To form, at a low cost, element isolation regions each of which has a good surface shape and small area in the high-concn. region isolation by deep trenches in a semiconductor substrate and the element isolation by shallow trenches.

**SOLUTION:** Gaps 9 of specified depth are formed into an insulation film 5 provided between a polycrystalline Si film 6 buried in first deep trenches and semiconductor substrate 1. Using an SiN film 8 having openings as a mask, second shallow trenches 10 are formed, an oxide film 11 is formed on the surface of the second trenches 10, an insulator 12 is deposited on the entire surface of the semiconductor substrate 1 so as to completely fill up the second trenches 10 and polished with the SiN film 8 used as a stopper by the chemical-mechanical polishing(CMP), and the SiN film 8 is removed. Thus element isolation regions comprising the polished insulator 12, each of which has a good surface shape and small area, can be formed in the same process as a process of capping the polycrystalline Si film 6 provided in the first deep trenches.



## LEGAL STATUS

[Date of request for examination]

02.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-49296

(P2000-49296A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl.<sup>7</sup>H 0 1 L 27/08  
21/76

識別記号

3 3 1

F I

H 0 1 L 27/08  
21/76

テマコード\* (参考)

3 3 1 A 5 F 0 3 2  
L 5 F 0 4 8

審査請求 未請求 請求項の数12 O L (全 10 頁)

(21) 出願番号

特願平10-212715

(22) 出願日

平成10年7月28日 (1998.7.28)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 曾波 敬治

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(72) 発明者 澤田 茂樹

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外2名)

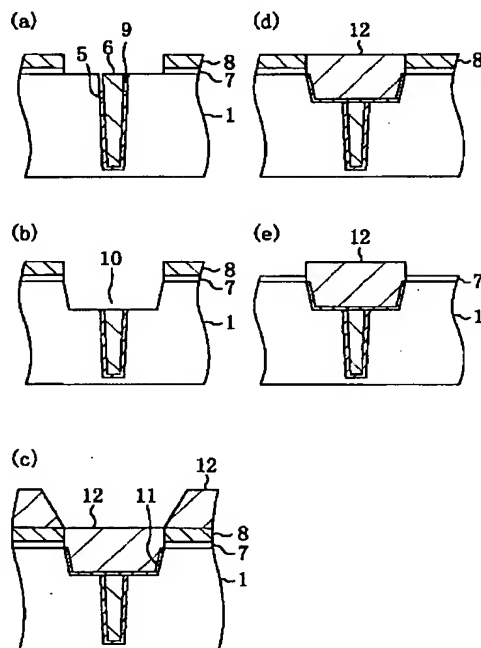
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体基板中の深い溝による高濃度領域分離と浅い溝による素子分離とにおいて、表面形状がよく小面積の素子分離領域を低コストで形成する。

【解決手段】 深い第1の溝の内部に埋め込まれた多結晶シリコン膜6と半導体基板1との間に設けられた絶縁膜5に所定の深さの空隙9を形成し、開口を持つ窒化シリコン膜8をマスクとして用いて浅い第2の溝10を形成し、第2の溝10の表面に酸化膜11を形成し、第2の溝10を完全に埋め込むように半導体基板1の全面に絶縁物12を堆積させ、化学的機械研磨 (CMP) により窒化シリコン膜8をストップとして絶縁物12を研磨した後に、窒化シリコン膜8を除去する。これにより、研磨後の絶縁物12からなり良好な表面形状と小さい面積とを持つ素子分離領域を、深い第1の溝中に設けられた多結晶シリコン膜6をキャッピングする工程と同一の工程で形成できる。



## 【特許請求の範囲】

【請求項1】 半導体基板上に形成され第1の開口を有する第1の膜をマスクとして用いて、前記第1の開口における前記半導体基板に第1の溝を形成する第1の工程と、

前記第1の溝の表面に第1の絶縁膜を形成してから該第1の溝に第1の物質を充填するとともに、前記第1の膜を除去する第2の工程と、

前記半導体基板の上面に、前記第1の物質の上面を完全に露出させ、該露出部よりも広い第2の開口を有する第2の膜を形成する第3の工程と、

前記第2の膜をマスクとして用いて、前記第2の開口における前記半導体基板に前記第1の溝よりも浅い第2の溝を形成した後に該第2の溝の表面に第2の絶縁膜を形成する第4の工程と、

前記第2の溝に、素子分離用の第2の物質を前記第2の膜の上面まで充填する第5の工程と、

前記第2の膜の厚さ方向における少なくとも一部を除去する第6の工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、前記第2の工程では、前記第1の膜をマスクとして用いて前記第1の絶縁膜を形成し、

前記第1の溝を完全に埋め込むように前記半導体基板の全面に前記第1の物質を堆積させ、

前記第1の膜をストップとして用いて前記第1の物質を除去することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、前記第2の工程では、

前記第1の膜を除去した後に、前記半導体基板の上面と前記第1の溝の表面とに第3の絶縁膜を形成し、

前記第1の溝を完全に埋め込むように前記半導体基板の全面に前記第1の物質を堆積させ、

前記半導体基板の上面における前記第3の絶縁膜をストップとして用いて前記第1の物質を除去し、

前記第1の溝の表面における前記第3の絶縁膜を前記第1の絶縁膜として残し、前記半導体基板の上面における前記第3の絶縁膜を除去することを特徴とする半導体装置の製造方法。

【請求項4】 請求項1～3のいずれか1つに記載の半導体装置の製造方法において、前記第5の工程では、前記第2の溝を完全に埋め込むように前記半導体基板の全面に前記第2の物質を堆積させ、

前記第2の膜をストップとして用いて前記第2の物質を研磨することを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板上に形成され、平面的に同じ領域を持つ第1の開口をそれぞれ有する、第1の膜と該第1の膜の下に設けられた第2の膜とをマスクとして用いて、前記第1の開口における前記半導体基板に第1の

溝を形成する第1の工程と、

前記第1の溝の表面に第1の絶縁膜を形成し、該第1の溝に第1の物質を充填し、前記第1の膜を除去する第2の工程と、

前記第2の膜に、前記第1の物質の上面を完全に露出させ、かつ前記第1の開口よりも広くなるように第2の開口を形成する第3の工程と、

前記第2の膜をマスクとして用いて、前記第2の開口における前記半導体基板に前記第1の溝よりも浅い第2の溝を形成した後に該第2の溝の表面に第2の絶縁膜を形成する第4の工程と、

前記第2の溝に、素子分離用の第2の物質を前記第2の膜の上面まで充填する第5の工程と、

前記第2の膜の厚さ方向における少なくとも一部を除去する第6の工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項6】 請求項5記載の半導体装置の製造方法において、前記第2の工程では、

前記第1の膜をマスクとして用いて前記第1の絶縁膜を形成し、

前記第1の溝を完全に埋め込むように前記半導体基板の全面に前記第1の物質を堆積させ、

前記第1の膜をストップとして用いて前記第1の物質を除去することを特徴とする半導体装置の製造方法。

【請求項7】 請求項5又は6のいずれかに記載の半導体装置の製造方法において、前記第5の工程では、前記第2の溝を完全に埋め込むように前記半導体基板の全面に前記第2の物質を堆積させ、

前記第2の膜をストップとして用いて前記第2の物質を研磨することを特徴とする半導体装置の製造方法。

【請求項8】 請求項1～7のうちいずれか1つに記載の半導体装置の製造方法において、前記第2の工程では、

前記第1の物質をエッチバックにより除去することを特徴とする半導体装置の製造方法。

【請求項9】 請求項1～7のうちいずれか1つに記載の半導体装置の製造方法において、前記第2の工程では、

前記第1の物質を研磨により除去することを特徴とする半導体装置の製造方法。

【請求項10】 請求項1～9のうちいずれか1つに記載の半導体装置の製造方法において、

前記第4の工程では、前記形成された第2の溝の底面における突起を除去する工程を更に備えたことを特徴とする半導体装置の製造方法。

【請求項11】 請求項1～9のうちいずれか1つに記載の半導体装置の製造方法において、

前記第4の工程では、前記半導体基板の上面から所定の深さだけ前記第1の絶縁膜を予め除去する工程を更に備えたことを特徴とする半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法において、

前記所定の深さは、400nm以下であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バイポーラトランジスタの製造方法と、バイポーラトランジスタ及びMOSトランジスタを含むBi-CMOS型半導体装置の製造方法とに関するものであり、特に素子分離に関するものである。

【0002】

【従来の技術】半導体装置の高速化及び高集積化を図るためには、寄生容量の低減及びパターンの微細化が必要である。特に、バイポーラトランジスタを形成するにあたってはコレクタ接合容量の低減を目的として、フィールド酸化膜による素子分離に加えて、基板中の高濃度層を分離するための深い溝（トレンチ）を形成して高濃度層分離を行う方法が用いられている。

【0003】従来の、高濃度層分離と素子分離とを行う第1の方法として、LOCOS法によりフィールド酸化膜を形成した後に半導体基板に深い溝を形成し、その溝の内表面を酸化してからポリシリコンを埋め込み、そのポリシリコンの上部を酸化してキャッピングする方法が採用されている。

【0004】また、第2の方法として、LOCOS法によるフィールド酸化膜に代えて、半導体基板上に形成され絶縁物が埋め込まれた溝を用いる方法も採用されている。この場合には、半導体基板にフィールド領域となる浅い溝を形成し、その溝の内側に深い溝を形成し、2つの溝に同一の絶縁物を埋め込む。あるいは、2つの溝を形成した後に半導体基板の全面に保護膜を形成し、深い溝を埋め込むための埋め込み材を半導体基板の全面に厚く堆積させ、エッチバックを用いて深い溝の内部にのみ埋め込み材を残存させ、半導体基板の全面に絶縁膜を成長させた後に機械研磨等を用いて絶縁膜を研磨し、浅い溝にのみ絶縁膜を残存させて埋め込む。従来は、これらの方法により、高濃度層分離と素子分離とを行っていた。

【0005】

【発明が解決しようとする課題】しかしながら、上述の従来の第1の方法によれば、LOCOS法により素子分離を行った場合には、パズピークが発生することにより素子分離領域の面積が増大するので、微細化の妨げになる。また、素子分離領域の増大により、コレクタ・基板間の接合容量が増大するので、バイポーラトランジスタの高速化をも妨げる。また、深い溝を用いた高濃度層分離領域の上部を酸化してキャッピングするので、素子分離領域の表面にキャッピングによる段差が発生し、パターンレイアウトに制約が生じるおそれがある。更に、

深い溝内部のポリシリコンの上部を酸化してキャッピングする際に、キャッピングする部分近傍のフィールド酸化膜に熱ストレスが印加されるので、クラックの発生により半導体装置の信頼性が低下するおそれがある。加えて、専用のキャッピング工程を設ける必要があるので、工程数の増大にもつながる。

【0006】また、従来の第2の方法によれば、素子分離に浅い溝を、高濃度層分離に深い溝を用いる素子分離方法の場合には、素子分離用の浅い溝を形成した後に深い溝を形成する際に、複雑な技術を要する。つまり、深い溝による高濃度層分離領域を形成する工程において、基板表面と浅い溝とによる段差に起因するマスク材や埋込材のサイドウォール発生を防いだり、発生したサイドウォールの除去を想定すると、工程数の増加や工程の複雑化を招くことになる。

【0007】本発明は、上記従来の問題を改善するためになされたものであり、小さい面積及び良好な表面形状を持つ素子分離領域と、小さい寄生容量とを有する半導体装置を、少ない工程数により製造できる半導体装置の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上述の目的を達成するために、本発明に係る第1の半導体装置の製造方法は、半導体基板上に形成され第1の開口を有する第1の膜をマスクとして用いて、第1の開口における半導体基板に第1の溝を形成する第1の工程と、第1の溝の表面に第1の絶縁膜を形成してから該第1の溝に第1の物質を充填するとともに、第1の膜を除去する第2の工程と、半導体基板の上面に、第1の物質の上面を完全に露出させ、該露出部よりも広い第2の開口を有する第2の膜を形成する第3の工程と、第2の膜をマスクとして用いて、第2の開口における半導体基板に第1の溝よりも浅い第2の溝を形成した後に該第2の溝の表面に第2の絶縁膜を形成する第4の工程と、第2の溝に、素子分離用の第2の物質を第2の膜の上面まで充填する第5の工程と、第2の膜の厚さ方向における少なくとも一部を除去する第6の工程とを備えている。

【0009】この方法により、深い第1の溝へ第1の物質を、第1の溝の上に形成した浅い第2の溝へ第2の物質をそれぞれ確実に充填し、かつ第2の物質を半導体基板の上面から突出させて、素子分離領域を形成する。したがって、素子分離領域の面積と寄生容量とが小さく、確実に素子分離された半導体装置を製造できる。また、素子分離領域の形成と第1の溝上部のキャッピングとを同一工程で行うので、少ない工程数で半導体装置を製造できる。

【0010】第1の半導体装置の製造方法において、第2の工程では、第1の膜をマスクとして用いて第1の絶縁膜を形成し、第1の溝を完全に埋め込むように半導体基板の全面に第1の物質を堆積させ、第1の膜をストッ

バとして用いて第1の物質を除去することとしてもよい。

【0011】この方法により、それぞれ確実に、第1の溝の表面に第1の絶縁膜を形成し、第1の溝の内部に第1の物質を充填することができる。

【0012】第1の半導体装置の製造方法において、第2の工程では、第1の膜を除去した後に、半導体基板の上面と第1の溝の表面とに第3の絶縁膜を形成し、第1の溝を完全に埋め込むように半導体基板の全面に第1の物質を堆積させ、半導体基板の上面における第3の絶縁膜をストップとして用いて第1の物質を除去し、第1の溝の表面における第3の絶縁膜を第1の絶縁膜として残り、半導体基板の上面における第3の絶縁膜を除去することとしてもよい。

【0013】この方法によっても、それぞれ確実に、第1の溝の表面に第1の絶縁膜を形成し、第1の溝の内部に第1の物質を充填することができる。

【0014】第1の半導体装置の製造方法において、第5の工程では、第2の溝を完全に埋め込むように半導体基板の全面に第2の物質を堆積させ、第2の膜をストップとして用いて第2の物質を研磨することが好ましい。

【0015】この方法により、浅い第2の溝の内部に第2の物質を確実に充填するとともに、第2の物質の表面、つまり素子分離領域の表面において段差が発生することを抑制して、表面形状がよい素子分離領域を確実に形成できる。

【0016】本発明に係る第2の半導体装置の製造方法は、半導体基板上に形成され、平面的に同じ領域を持つ第1の開口をそれぞれ有する、第1の膜と該第1の膜の下に設けられた第2の膜とをマスクとして用いて、第1の開口における半導体基板に第1の溝を形成する第1の工程と、第1の溝の表面に第1の絶縁膜を形成し、該第1の溝に第1の物質を充填し、第1の膜を除去する第2の工程と、第2の膜に、第1の物質の上面を完全に露出させ、かつ第1の開口よりも広くなるように第2の開口を形成する第3の工程と、第2の膜をマスクとして用いて、第2の開口における半導体基板に第1の溝よりも浅い第2の溝を形成した後に該第2の溝の表面に第2の絶縁膜を形成する第4の工程と、第2の溝に、素子分離用の第2の物質を第2の膜の上面まで充填する第5の工程と、第2の膜の厚さ方向における少なくとも一部を除去する第6の工程とを備えている。

【0017】この方法により、第1の半導体装置の製造方法の場合と同様に、素子分離領域の面積と寄生容量とが小さく、確実に素子分離された半導体装置を、少ない工程数で製造できる。また、半導体基板の表面に最初に形成した第2の膜を最後まで用い、かつ第2の膜の一部を後工程へと残すので、工程数をいっそう削減してより低コストで半導体装置を製造できる。

【0018】第2の半導体装置の製造方法において、第

2の工程では、第1の膜をマスクとして用いて第1の絶縁膜を形成し、第1の溝を完全に埋め込むように半導体基板の全面に第1の物質を堆積させ、第1の膜をストップとして用いて第1の物質を除去することとしてもよい。

【0019】この方法により、それぞれ確実に、第1の溝の表面に第1の絶縁膜を形成し、第1の溝の内部に第1の物質を充填することができる。

【0020】第2の半導体装置の製造方法において、第5の工程では、第2の溝を完全に埋め込むように半導体基板の全面に第2の物質を堆積させ、第2の膜をストップとして用いて第2の物質を研磨することが好ましい。

【0021】この方法により、浅い第2の溝の内部に第2の物質を確実に充填するとともに、第2の物質の表面、つまり素子分離領域の表面において段差が発生することを抑制して、表面形状がよい素子分離領域を確実に形成できる。

【0022】第1及び第2の半導体装置の製造方法において、第2の工程では、第1の物質をエッチバック又は研磨により除去することとしてもよい。

【0023】この方法により、第1の溝の内部に第1の物質をより確実に充填することができる。

【0024】第1及び第2の半導体装置の製造方法において、第4の工程では、形成された第2の溝の底面における突起を除去する工程を更に備えたこととしてもよい。

【0025】この方法により、第2の物質により第2の溝を充填する際に障害になる突起を、予め除去するので、表面形状がよい素子分離領域を確実に形成できる。

【0026】第1及び第2の半導体装置の製造方法において、第4の工程では、半導体基板の上面から所定の深さだけ第1の絶縁膜を予め除去する工程を更に備えたこととしてもよい。

【0027】この方法により、第2の物質により第2の溝を充填する際に障害となる突起の発生原因となる第1の絶縁膜を、所定の深さだけ予め除去するので、表面形状がよい素子分離領域を確実に形成できる。

【0028】上述の半導体装置の製造方法において、所定の深さは、400nm以下であることが好ましい。

【0029】この方法により、第2の物質により第2の溝を充填する際に障害となる突起の発生原因となる第1の絶縁膜を、所定の深さだけ、かつ深すぎることなく予め除去するので、表面形状がよい素子分離領域をより確実に形成できる。

【0030】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態について図1及び図2を参照しながら説明する。図1(a)～(e)及び図2(a)～(e)は、本実施形態の各工程をそれぞれ示す断面図である。

【0031】まず、図1(a)に示す工程で、例えばシ

リコンからなる半導体基板1の表面にシリコン酸化膜2を形成し、続いてLP-CVD法により窒化シリコン膜3を形成する。

【0032】次に、図1(b)に示す工程で、リソグラフィにより窒化シリコン膜3上にレジストマスクからなるマスクパターンを形成し、RIE等による異方性エッチングを用いて窒化シリコン膜3とシリコン酸化膜2とをパターニングして、半導体基板1が露出する開口を形成する。そして、レジストマスクを除去した後に、窒化シリコン膜3をマスクにして、異方性エッチングにより半導体基板1に第1の溝4を形成する。ここで、溝の深さがバイポーラトランジスタの高濃度埋め込み層を分離するために十分な深さ、例えば3 $\mu$ mになるようにして、第1の溝4を形成する。その後、パターニングされた窒化シリコン膜3とシリコン酸化膜2とをマスクにして、選択的に第1の溝4の底部にのみ、チャネルストップ層を形成するための不純物をイオン注入を用いて導入する。

【0033】次に、図1(c)に示す工程で、第1の溝4の内表面に、熱酸化等により選択的に絶縁膜5を形成する。

【0034】次に、図1(d)に示す工程で、窒化シリコン膜3を除去し、半導体基板1上に第1の溝4を完全に埋め込むために十分な膜厚だけ多結晶シリコンを成長させた後に、例えばシリコン酸化膜2をエッチングストップとするエッチバックにより第1の溝4内部以外の部分の多結晶シリコンを除去して、多結晶シリコン膜6を形成する。これにより、半導体基板1と多結晶シリコン膜6との表面同士がほぼ同一の面になるようにして、第1の溝4の内部にのみ多結晶シリコン膜6を埋め込んだことになる。この工程では、エッチバックに代えて、シリコン酸化膜2をストップとする化学的機械研磨(CMP)を用いてもよい。

【0035】次に、図1(e)に示す工程で、シリコン酸化膜2を除去し、シリコン酸化膜7と窒化シリコン膜8とを順次堆積させ、リソグラフィにより窒化シリコン膜8上にレジストマスクからなるマスクパターンを形成し、RIE等による異方性エッチングを用いて窒化シリコン膜8とシリコン酸化膜7とをパターニングして、半導体基板1と絶縁膜5と多結晶シリコン膜6とが露出する開口を形成する。この工程では、多結晶シリコン膜6の上面が完全に露出し、更に絶縁膜5を取り囲む半導体基板1の表面が露出するようにして開口を形成する。

【0036】次に、図2(a)に示す工程で、半導体基板1と多結晶シリコン膜6との間に形成された絶縁膜5を、選択的に適当な深さだけ除去する。つまり、後述のように次工程で形成する第2の溝の底面に突起が生じない程度の深さだけ、好ましくは400nm以下だけ除去して、空隙9を形成する。空隙9の深さは、例えば本実施形態においては、半導体基板1の表面から150nm

程度とする。

【0037】次に、図2(b)に示す工程で、窒化シリコン膜8をマスクにして、RIE等による異方性エッチングを用いて第2の溝10を形成する。ここで、後工程での絶縁物による埋め込みを容易にするために、溝の底面が小さくなるようなテーバーを付けて、第2の溝10を形成する。そして、第2の溝10の深さを、第1の溝4よりも浅い、例えば400nm程度とする。この第2の溝10を、素子分離(表面分離)のために用いる。

【0038】次に、図2(c)に示す工程で、第2の溝10の表面に酸化膜11を形成し、窒化シリコン膜8と酸化膜11とが形成された半導体基板1の全面に、絶縁物12を堆積させる。本実施形態においては、第2の溝10を埋め込むための絶縁物12として、アスペクト比2.5のHDP-NSG(High Density Plasma Non-doped Silicate Glass)を用いるが、HDP-NSGに代えて、CVDによる酸化膜を用いてもよい。

【0039】次に、図2(d)に示す工程で、化学的機械研磨(CMP)を用いて、窒化シリコン膜8をCMPストップとして絶縁物12を除去する。これにより、窒化シリコン膜8と絶縁物12との表面同士が同一の面になるようにして、第2の溝10の内部にのみ絶縁物12を埋め込んだことになる。

【0040】次に、図2(e)に示す工程で、窒化シリコン膜8を除去し、絶縁物12からなる素子分離領域を形成して、素子分離を完了する。以上の工程により、高濃度層分離と素子分離とを行ったことになる。

【0041】ここで、本実施形態に係る半導体装置の製造方法の特徴は、深い第1の溝4に多結晶シリコン膜6を埋め込み、窒化シリコン膜8をマスクにして多結晶シリコン膜6を露出するように浅い第2の溝10を形成し、絶縁物12により第2の溝10を完全に埋め込み、窒化シリコン膜8をストップとする化学的機械研磨(CMP)を用いてその絶縁物12を除去することである。これにより、第2の溝10を絶縁物12で埋め込むのでパズピークが発生しない。したがって、素子分離領域の面積を増大させないので、微細化を可能にし、かつコレクタ・基板間の接合容量の増大を抑制して高速化を可能にして、半導体装置を製造できる。

【0042】また、図2(a)に示す工程で絶縁膜5に予め空隙9を形成するので、図2(b)に示す工程で第2の溝10の底面に突起が発生しない。したがって、第2の溝10に確実に絶縁物12を埋め込むので、素子分離領域を安定して形成することができる。

【0043】また、図2(c)に示す工程で素子分離用の浅い第2の溝10を絶縁物12により完全に埋め込み、図2(d)に示す工程で余分な絶縁物12を化学的機械研磨(CMP)を用いて除去して、絶縁物12からなる素子分離領域を形成する。したがって、素子分離領

域の表面には段差が発生しないので、パターンレイアウトには段差を回避するための制約を設ける必要がない。また、図2(d)に示す工程で、窒化シリコン膜8により保護されているので、半導体基板1の上面における絶縁物12以外の領域を、欠陥が少ない安定した素子領域として後工程で用いることができる。

【0044】特に、図2(e)に示す工程で、半導体基板1の上面から突出した絶縁物12を確実に形成するので、より確実に素子分離を行う。したがって、特性が優れたバイポーラトランジスタ、あるいは、Bi-CMOS型半導体装置を製造することができる。

【0045】また、深い溝を用いた高濃度層分離領域の上部を酸化してキャッピングする方法に比べて、キャッピング専用の工程が不要となり、かつ素子分離用の絶縁物12において発生する熱ストレスが小さいので、クラックの発生を抑制して信頼性が高い半導体装置を製造することができる。

【0046】更に、浅い溝の内側へ深い溝を形成する場合に比べて、半導体基板1の表面と浅い第2の溝10との段差に起因するマスク材等のサイドウォールが発生しないので、サイドウォール除去などの工程が不要になる。したがって、工程数を削減できるので、低コストで半導体装置を製造することができる。

【0047】(第2の実施形態)以下、本発明の第2の実施形態について説明する。図3(a)～(d)は、本実施形態の各工程をそれぞれ示す断面図である。第1の実施形態での構成要素と同じ構成要素には、図2における符号と同じ符号を付してその説明を省略する。本実施形態の製造方法では、第1の実施形態における空隙9を形成する工程は設けず、第2の溝10を形成する際に発生する、半導体基板1の一部と絶縁膜5とからなる突起を除去する工程を設ける。

【0048】まず、第1の実施形態における図1(a)～(e)に示す工程と同様の処理を行って、多結晶シリコン膜6の上面が完全に露出し、更に絶縁膜5を取り囲む半導体基板1の表面が露出するようにして開口を形成する。

【0049】次に、図3(a)に示す工程で、後工程で絶縁物による埋め込みを容易にするためのテーパーを付けて、第2の溝10を形成する。ここで、絶縁膜5の一部は、第2の溝10を形成する際の半導体基板1との選択比のために、第2の溝10の底面から突出する。更に、テーパーを付けて第2の溝10を形成するので、絶縁膜5の突出した部分には、半導体基板1の一部であって断面形状がくさび状のシリコンが付く。絶縁膜5の突出した部分とくさび状のシリコンとは、突起13を形成する。この突起13は、後工程における、絶縁物による第2の溝10の埋め込みを阻害するとともに、絶縁物の表面形状を悪化させる。

【0050】次に、図3(b)に示す工程で、底面に突

起13を有する第2の溝10の表面を酸化する。これにより、突起13の一部であって断面形状がくさび状のシリコンを酸化するので、突起13自体も酸化膜になる。つまり、第2の溝10において、突起13自体を含む表面に酸化膜を形成する。

【0051】次に、図3(c)に示す工程で、例えばフッ酸を用いたウエットエッチングにより、第2の溝10において表面に形成された突起13を含む酸化膜全体を除去する。

【0052】次に、図3(d)に示す工程で、第2の溝10の表面に酸化膜11を形成した後に、半導体基板1の全面に絶縁物12を堆積させる。その後、第1の実施形態と同様に、図2(d)、(e)に示す工程を経て、絶縁物12からなる素子分離領域を形成する。

【0053】ここで、本実施形態に係る半導体装置の製造方法の特徴は、第2の溝10を形成する工程で発生する突起13を除去し、その後に絶縁物12により第2の溝10を埋め込むことである。これにより、第2の溝10を埋め込む際の障害になる突起13を除去して第2の溝10を確実に埋め込むので、表面形状がよい素子分離領域を安定して形成することができる。

【0054】なお、本実施形態においては、図3(b)に示す工程で、絶縁膜5の突出した部分とくさび状のシリコンとからなる突起13を酸化した後に、図3(c)に示す工程で、酸化膜となった突起13をウエットエッチングすることにより突起13の部分を除去した。これに限らず、図3(a)に示す工程の後に、底面に残存する突起13を異方エッチング等により除去してもよい。この場合の異方エッチングの条件としては、第2の溝10の底面から突出している絶縁膜5とくさび状のシリコンとを同時に除去できる条件に設定すればよい。例えば、図3(a)に示すような場合には、絶縁膜5の側面にはくさび状のシリコンが薄くしか残存しない。したがって、半導体基板1に対する絶縁膜5のエッチングレート比を6倍程度と高い条件に設定することにより、半導体基板1自体をそれほどエッチングすることなく、突起13の部分を確実に除去することができる。

【0055】(第3の実施形態)以下、本発明の第3の実施形態について説明する。図4(a)～(d)及び図5(a)～(c)は、本実施形態の各工程をそれぞれ示す断面図である。第1の実施形態での構成要素と同じ構成要素には、図1及び図2における符号と同じ符号を付してその説明を省略する。本実施形態は、第1の実施形態における窒化シリコン膜3の上に、更にTEOS膜を形成するものである。

【0056】まず、図4(a)に示す工程で、半導体基板1の表面にシリコン酸化膜2と窒化シリコン膜3とTEOS膜14とを順次形成する。

【0057】次に、図4(b)に示す工程で、リソグラフィによりTEOS膜14上にレジストマスクからなる



マスクパターンを形成し、RIE等による異方性エッチングを用いてTEOS膜14と窒化シリコン膜3とシリコン酸化膜2とをパターンニングして、半導体基板1が露出する開口を形成する。そして、レジストマスクを除去した後に、パターンニングされたTEOS膜14をマスクにして異方性エッチングにより半導体基板1に第1の溝4を形成し、TEOS膜14と窒化シリコン膜3とシリコン酸化膜2とをマスクにして、選択的に第1の溝4の底部にのみ、不純物をイオン注入を用いて導入する。

【0058】次に、図4(c)に示す工程で、第1の溝4の内表面に、熱酸化等により選択的に絶縁膜5を形成する。

【0059】次に、図4(d)に示す工程で、半導体基板1上に第1の溝4を完全に埋め込むために十分な膜厚だけ多結晶シリコンを成長させた後に、例えばTEOS膜14をストップとするエッチバックにより第1の溝4内部以外の部分の多結晶シリコンを除去して、多結晶シリコン膜6を形成する。この工程では、エッチバックに代えて、TEOS膜14をストップとする化学的機械研磨(CMP)を用いてもよい。

【0060】次に、図5(a)に示す工程で、TEOS膜14を除去し、リソグラフィにより窒化シリコン膜3上にレジストマスクからなるマスクパターンを形成し、RIE等による異方性エッチングを用いて窒化シリコン膜3とシリコン酸化膜2とをパターンニングして、半導体基板1と絶縁膜5と多結晶シリコン膜6とが露出する開口を形成する。

【0061】以下、第1の実施形態と同様に、図5(b)、(c)に示す工程で第2の溝10を形成した後に、第1の実施形態における図2(c)～図2(e)に示す工程と同様の処理を行って、絶縁物12からなる素子分離領域を形成する。

【0062】ここで、本実施形態に係る半導体装置の製造方法の特徴は、シリコン酸化膜2と窒化シリコン膜3とTEOS膜14とを順次形成し、そのTEOS膜14を、第1の溝4を形成するためのマスクと、第1の溝4に多結晶シリコン膜6を形成する際のストップとして用いることである。これにより、半導体基板1上に最初に形成したシリコン酸化膜2と窒化シリコン膜3とを最後まで用いるとともに、残したシリコン酸化膜2を半導体装置を構成する絶縁膜として用いる。したがって、工程数をいっそう削減して、より低コストで半導体装置を製造することができる。

【0063】なお、ここまで説明した各実施形態においては、半導体基板1上に最初にシリコン酸化膜2と窒化シリコン膜3とを順次形成したが、これに代えて、シリコン酸化膜のみを形成してもよい。この場合には、シリコン酸化膜をマスクとして用いて第1の溝を形成した後にそのシリコン酸化膜を除去して、半導体基板上面と第1の溝の内表面とに絶縁膜を同時に堆積させる。つま

り、図1(c)に示す工程におけるシリコン酸化膜2と絶縁膜5とに相当する部分を、同時に形成する。そして、半導体基板全面に多結晶シリコンを堆積させ、半導体基板上面における絶縁膜をストップとして、エッチバック又は化学的機械研磨(CMP)を用いて余分な多結晶シリコンを除去する。その後、第1の溝の内部にのみ多結晶シリコン膜を形成し、半導体基板上面における絶縁膜を除去する。以下、第1の実施形態の各工程、つまり、図1(e)及び図2(a)～(e)に示す工程と同様の処理を行う。この方法によっても、高濃度層分離と素子分離とを確実に行うことができる。

【0064】

【発明の効果】本発明によれば、第2の物質により浅い第2の溝を確実に充填し、第2の物質を半導体基板の上面から突出させて素子分離領域を形成するので、素子分離領域の面積と寄生容量とが小さく、かつ確実に素子分離された、優れた特性を有する半導体装置を製造できる。

【0065】また、浅い第2の溝を充填する際に第2の物質を研磨することにより、第2の物質の表面、つまり素子分離領域の表面に段差が発生することを抑制できる。これにより、段差に起因するパターンレイアウトの制約を低減して、半導体装置を製造できる。

【0066】また、素子分離用の第2の物質を浅い第2の溝に充填する際の熱ストレスが小さいことにより、クラックの発生が抑制されるので、信頼性が高い半導体装置を製造できる。

【0067】また、深い第1の溝上部のキャッピングと素子分離領域の形成とを同一工程で行うことにより、キャッピング専用の工程が不要になるので、工程数を削減することができる。

【0068】更に、最初に形成した第2の膜の一部を後工程へと残すので、工程数をより削減することができる。

【図面の簡単な説明】

【図1】(a)～(e)は、本発明の第1及び第2の実施形態に係る半導体装置の製造工程のうち、多結晶シリコンを埋め込んだ深い第1の溝上に開口を形成するまでの各工程をそれぞれ示す断面図である。

【図2】(a)～(e)は、第1の実施形態に係る半導体装置の製造工程のうち、第1の溝内部の絶縁膜に空隙を形成した後の各工程をそれぞれ示す断面図である。

【図3】(a)～(d)は、本発明の第2の実施形態に係る半導体装置の製造工程のうち、底面に突起を有する第2の溝を形成した後の各工程をそれぞれ示す断面図である。

【図4】(a)～(d)は、本発明の第3の実施形態に係る半導体装置の製造工程のうち、深い第1の溝の内部に多結晶シリコンを埋め込むまでの各工程をそれぞれ示す断面図である。

10

20

30

40

50



13

14

【図5】(a)～(c)は、第3の実施形態に係る半導体装置の製造工程のうち、多結晶シリコンを埋め込んだ深い第1の溝上に開口を形成した後の各工程をそれぞれ示す断面図である。

【符号の説明】

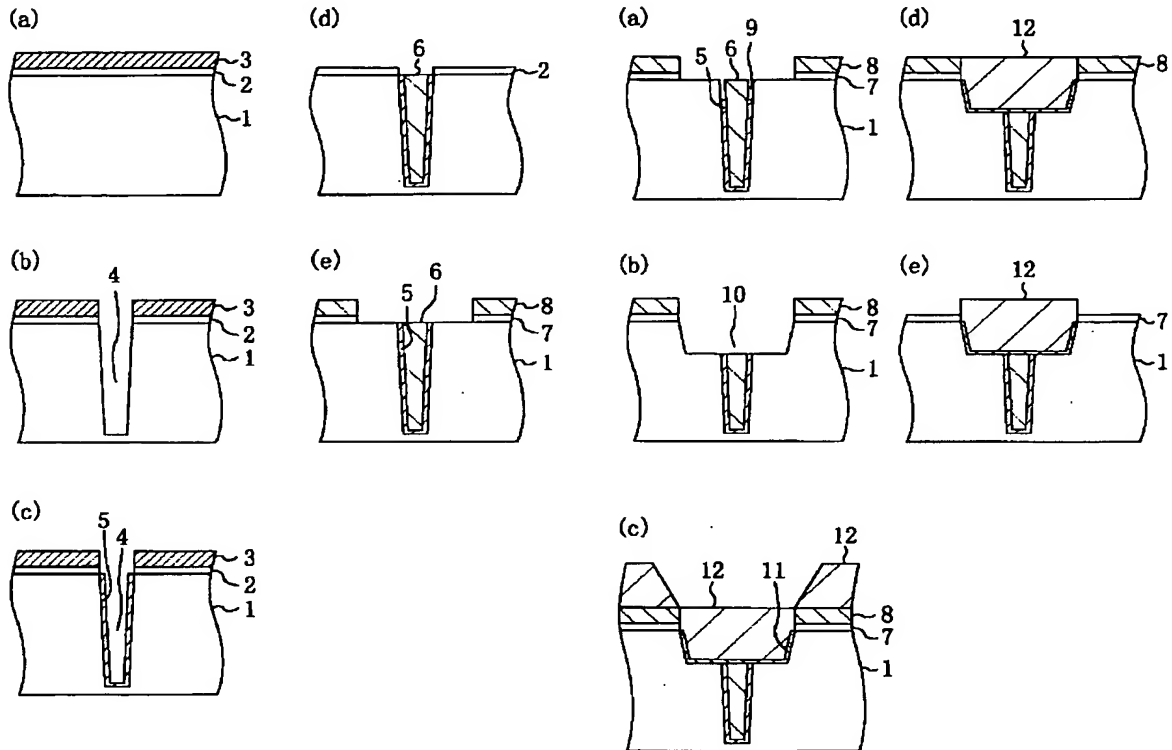
- 1 半導体基板  
2, 7 シリコン酸化膜  
3, 8 窒化シリコン膜  
4 第1の溝

- \* 5 絶縁膜(第1の絶縁膜)  
6 多結晶シリコン膜(第1の物質)  
9 空隙  
10 第2の溝  
11 酸化膜(第2の絶縁膜)  
12 絶縁物(第2の物質)  
13 突起  
14 TEOS膜

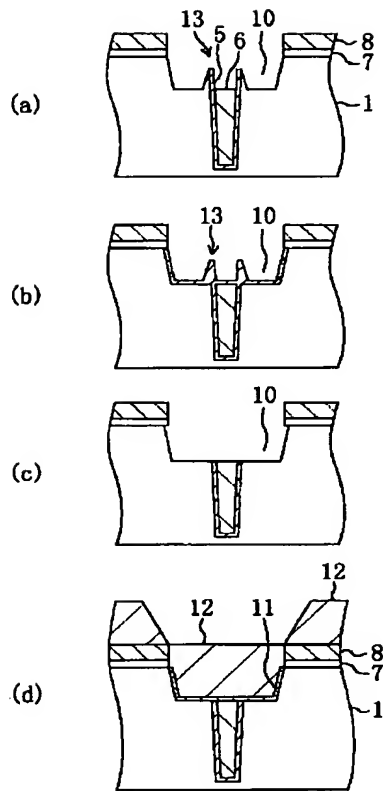
\*

【図1】

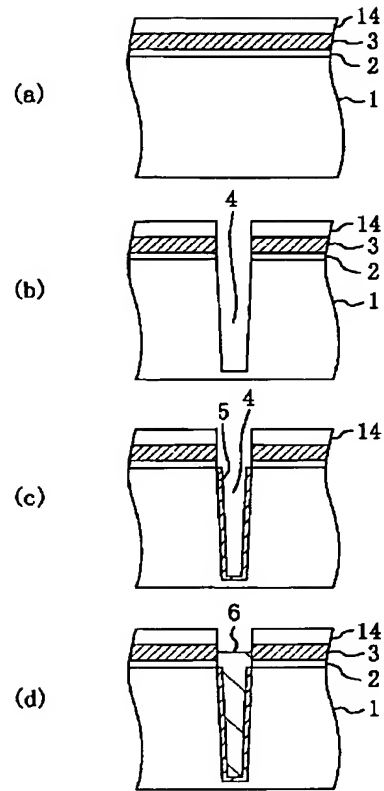
【図2】



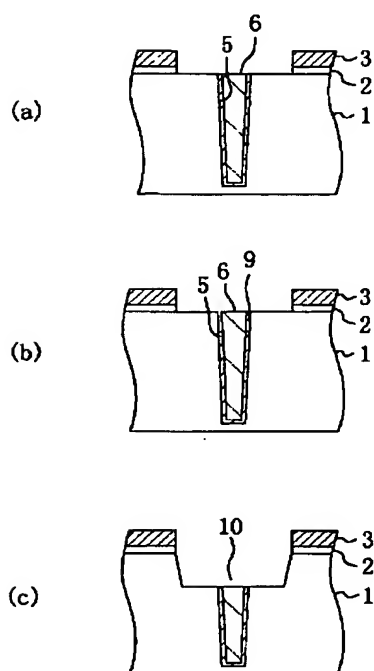
【図3】



【図4】



【図5】




---

フロントページの続き

F ターム(参考) SF032 AA16 AA35 AA44 AA77 AA84  
 BA03 BA06 CA17 DA02 DA26  
 DA33 DA43 DA78  
 SF048 AA01 AA04 AA07 AA09 AC05  
 BA01 BG01 BG13 BG16 BH07